

**Конспект**

**по дисциплината „ЛОГИКА И АВТОМАТИ ”  
за специалност „Софтуерни и Интернет технологии”**

**I. Алгебра на логиката**

1. Алгебра на логиката. Логически функции (ЛФ). Дефиниции. Свойства. Елементарни ЛФ (на една и две променливи).
2. Алгебра на логиката. Аксиоми, основни правила и закони. Примери за приложения.
3. Алгебра на логиката. Методи за представяне на логически функции. Примери.
4. Аналитични форми за представяне на логически функции. Методи за минимизация на ЛФ.
5. Минимизация на ЛФ с карти на Карно. Основен принцип, правила. Примери.
6. Минимизация на непълно определени ЛФ с карти на Карно. Примери.

**II. Комбинационни логически схеми**

1. Функционално пълен набор от ЛФ и ЛЕ. Примери в базис И, ИЛИ, НЕ; И-НЕ; ИЛИ-НЕ.
2. Комбинационни логически схеми. Синтез на КЛС. Примери – реализация в базис И-НЕ.
3. Комбинационни логически схеми. Синтез на КЛС. Примери – реализация в базис ИЛИ-НЕ.
4. Функционална декомпозиция – дефиниция, видове. Проста разделителна декомпозиция. Пример.
5. Синтез на многоизходни КЛС. Минимизация на системи от ЛФ за многоизходни КЛС. Първи подход (минимизация на всяка функция поотделно и еднократно реализиране на общите импликанти). Пример.
6. Синтез на многоизходни КЛС. Минимизация на системи от ЛФ за многоизходни КЛС. Втори подход (с отделяне на обща подфункция). Пример.
7. Синтез на сложни КЛС– преобразуватели на кодове.
8. Синтез на сложни КЛС – шифратори (кодери) и дешифратори (декодери).
9. Синтез на сложни КЛС – мултиплексори и демултиплексори.
10. Мултиплексорът като функционално пълен базис от логически елементи. Синтез на КЛС в базис мултиплексор.
11. Синтез на сложни КЛС – суматори от комбинационен тип. Синтез на едноразряден пълен двоичен суматор. Каскадно свързване на суматори.
12. Синтез на сложни КЛС – цифрови компаратори. Еднобитов компаратор.
13. Статичен анализ на комбинационни логически схеми. Примери.

**III. Логически схеми с памет**

1. Абстрактни автомати. Класификация на автоматите. Начини на представяне. Примери.
2. Еквивалентни автомати. Трансформиране на автомат на Мур в еквивалентен автомат на Мили. Пример. Доказателство за еквивалентност.
3. Трансформиране на автомат на Мили в еквивалентен автомат на Мур. Пример. Доказателство за еквивалентност.
4. Тригерът като елементарен автомат с памет. Задаване, обща схема. Видове тригери. Представяне, таблици на преходите.
5. Синтез на Т тригер. Представяне. Устойчивост. Времедиаграма. D тригер.
6. Синтез на R-S тригер. Схема на асинхронен и синхронен R-S тригер. Времедиаграма.
7. Синтез на J-K тригер. Структура „главен-подчинен” - принцип на работа. Времедиаграма.
8. Структурен модел на автомата. Основни определения. Преход от абстрактен към структурен модел на автомата.
9. Каноничен метод и процедура за структурен синтез на краен автомат. Пример.
10. Структурен синтез на краен автомат с използване на таблица на преходите, изходите и функциите на възбуждане на паметта. Пример.
11. Синхронни и асинхронни автомати. Устойчивост и критични състезания. Пример. Борба с критичните състезания. Цикли и състезания в асинхронния автомат. Противосъстезателно (съседно) кодиране.
12. Синтез на автомати, зададени с блок-схема на алгоритъма на работа (БСА). Синтез на автомат на Мили, зададен с БСА. Пример.
13. Синтез на автомати, зададени с блок-схема на алгоритъма на работа (БСА). Синтез на автомат на Мур, зададен с БСА. Пример.
14. Регистри. Видове. Структурни схеми. Приложения.
15. Броячи. Видове. Структурни схеми. Приложения.

**IV. Програмируеми логически устройства**

1. Програмируеми логически устройства (ПЛУ). Класификация. Структура.
2. Програмируемите постоянни запомнящи устройства (ПЗУ) като функционален елемент при синтез на КЛС. Пример.
3. ПЗУ като функционален елемент при синтез на ЛС с памет. Пример.
4. Програмируемите логически матрици (ПЛМ) като функционален елемент при синтез на КЛС. Пример.
5. ПЛМ като функционален елемент при синтез на ЛС с памет. Пример.

**Литература:**

1. Иванов С., Ю. Петкова, Анализ и синтез на логически схеми, ТУ-Варна, 2009/2011/2013.
2. Иванов С., Г. Цанков, Multisim 2001, ТУ-Варна, 2009/2011.
3. Izad Khormae, [www.EngrCS.com](http://www.EngrCS.com), Digital Logic Design, Version 4.6 printed on February 2016 <https://www.engrscs.com/courses/engr250/lecture.pdf>.
4. A.F. Kana, Digital Logic Design, <http://american.cs.ucdavis.edu/academic/ecs154a.sum14/postscript/cosc205.pdf>

**Формат на изпита:**

**1. Писмен изпит** с продължителност 2 часа

*Първа задача* - синтез на КЛС (едноизходна или многоизходна, по пълно или непълно определени функции; минимизация с използване на Карти на Карно) в базиси: И, ИЛИ, НЕ; И-НЕ; ИЛИ-НЕ; МХ (мултиплексори); ПЗУ; ПЛМ (до 30 точки за оценката).

*Втора задача* - синтез на ЛС с памет:

- *Абстрактен синтез* – Мили/Мур автомат, таблично или графично представяне
- *Структурен синтез* – синхронен или асинхронен автомат;
- *Синтез чрез БСА (ГСА)* – блокова/графична схема на управляващ (микропрограмен) автомат;
- *Схемна реализация* – базиси: КЛС и тригери (D, T, J-K, R-S); МХ (мултиплексори); КЛС и изместващ регистър; ПЗУ/ПЛМ и тригери (до 50 точки за оценката).

*Теоретични въпроси* - два от конспекта (до 20 точки за оценката).

**2. Устен изпит** – след проверка на писмените работи.

**Оценка:**

- $0,4^*$  Семестриален контрол +  $0,6^*$ Оценка от писмен изпит + Дооформяне на оценката с устно препитване (при необходимост).